

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031439
 (43)Date of publication of application : 28.01.2000

(51)Int.Cl. H01L 27/12
 H01L 21/322

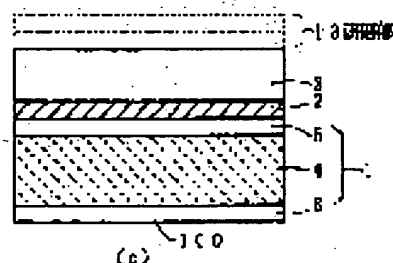
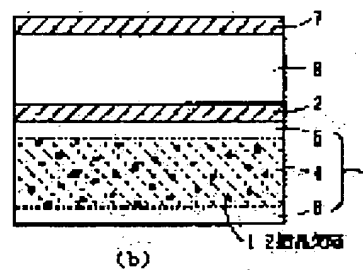
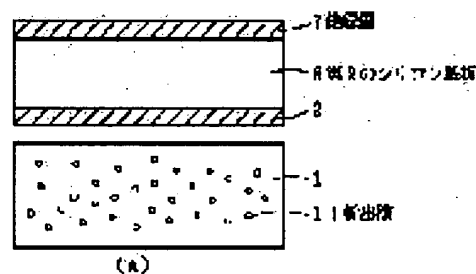
(21)Application number : 10-196875 (71) FUJI ELECTRIC CO LTD
 (22)Date of filing : 13.07.1998 Applicant :
 (72)Inventor : HIRABAYASHI ATSUO

(54) SOI SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a SOI (silicon-on-insulator) substrate, which exhibits a high gettering ability and a high mechanical strength at the time of formation of a semiconductor device and to provide a method for manufacturing the same.

SOLUTION: A silicon substrate 1 containing an oxygen concentration of $1.5 \times 10^{18} \text{ cm}^{-3}$ or more is previously heated to $600-900^\circ \text{C}$ for 10 minutes or more for forming precipitation nucleuses 11 of defects. The silicon substrate 1 and a second silicon substrate 8 and made to contact each other via an insulating layer 2 and are heated at a high temperature to $1,000^\circ \text{C}$ or higher for about 2 hours. The silicon substrate 1 and the second silicon substrate 8 are bonded through the insulating layer 2, atoms of oxygen are gathered to the precipitation nucleuses 11 by heating, and crystal defects 12 are formed. The second silicon substrate 8 is polished to form a SOI substrate 100 comprising a silicon substrate 1, an insulating layer 2 and a silicon layer 3. The SOI substrate 100 has the function of gettering heavy metal impurities contained in the silicon layer 3 for preventing junction leakages or reduction in gate breakdown voltage.



LEGAL STATUS

[Date of request for examination] 11.09.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

-- [Claim 1] The SOI substrate characterized by the oxygen density of a silicon substrate being three or more [$1.5 \times 10^{18} \text{cm}^{-3}$] in the SOI (Silicon On Insulator) substrate which formed the silicon layer through the insulating layer on the silicon substrate.

• [Claim 2] The manufacture approach of the SOI substrate characterized by including the process to which predetermined carries out time amount heat treatment of said silicon substrate in 600 degrees C thru/or 800 degrees C, the process which forms said insulating layer on said silicon substrate after said process, and the process which forms said silicon layer on said insulating layer.

[Claim 3] The manufacture approach of the SOI substrate according to claim 2 characterized by said predetermined time amount being 10 minutes or more.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the SOI substrate which formed the silicon layer through the insulating layer on the silicon substrate, and its manufacture approach.

[0002]

[Description of the Prior Art] In the manufacture process of a semiconductor device, increase (called the junction leak) of the leakage current in pn junction, proof-pressure degradation of gate oxide, etc. resulting from the heavy metal contamination which happens into a production process occur. Some gettering techniques are used as a cure of said property degradation of the semiconductor device by heavy metal contamination. Usually, in the silicon wafer manufactured by the CZ raising method, the in thorin chic gettering technique in which the deposit of the oxygen contained in a wafer was used is used. 1000 degrees C - 1200 degrees C heat treatment is performed to a silicon wafer, out-diffusion of the oxygen atom of the front face of this silicon wafer is carried out, surface concentration is reduced, and the oxygen atom in a silicon wafer forms a deposit nucleus by 600 degrees C - 900 degrees C heat treatment after that. Furthermore, a minute defect and a stacking fault are formed in the interior of 10 micrometers - 50 micrometers from a front face by performing 900 degrees C - 1200 degrees C heat treatment.

[0003] These defects form space [distortion] and have the property which is easy to fix a heavy-metal impurity atom. The technique of reducing [technique] the oxygen density on the front face of a wafer which forms a component by out-diffusion, and causing [technique] a deposit of oxygen inside a wafer, and making heavy metal fix is called the aforementioned in thorin chic gettering. In recent years, in Power IC and high-speed operation LSI which form the control circuit of low pressure-proofing, and the output circuit of high pressure-proofing in 1 chip, the SOI substrate which has effectiveness in reduction of separation area or the parasitic effect is used.

[0004] The SOI substrate has structure which formed the silicon layer through the insulating layer on the silicon substrate. In order that, as for the silicon layer which forms a component, an oxygen density may decrease or less [$5 \times 10^{17} \text{cm}^{-3}$] to three by heat treatment of the production process of a SOI substrate, a deposit of oxygen does not take place into this silicon layer. Therefore, a heavy-metal impurity does not fix in a silicon layer.

[0005] Moreover, a heavy-metal impurity cannot diffuse [be / it / under / silicon / comparing] the inside of an insulating layer easily. In order for the heavy-metal impurity of a silicon layer to pass an insulating layer and to make a silicon substrate fix, it is necessary to heighten the gettering capacity of a silicon substrate sharply. By JP,2-46770, A which is a open official report, or JP,8-78646,A, the oxygen density of the silicon layer which forms a semiconductor device is made or less [10^{17}cm^{-3}] into three, the defect resulting from oxygen is reduced, and the method of improving junction leak and proof-pressure degradation of gate oxide is indicated.

[0006] Moreover, if the oxygen density of a silicon substrate falls, a mechanical strength will fall and the curvature of a silicon substrate will increase. In order to prevent this, the oxygen density of the silicon substrate which supports a silicon layer is specified as 10^{17}cm^{-3} - 10^{19}cm^{-3} by JP,2-46770,A, and is specified as $1.0 \times 10^{18} \text{cm}^{-3}$ - $5 \times 10^{18} \text{cm}^{-3}$ by

JP,8-78646,A. Furthermore, in JP,2-46770,A, in order to reduce the oxygen density of a silicon layer, after combining the 1st silicon substrate and 2nd silicon substrate through an insulating layer, before the grinding polish process which carries out grinding polish of the 2nd silicon substrate, and is used as a silicon layer, 400 degrees C - 900 degrees C heat treatment is performed, and the oxygen atom in the 2nd silicon substrate is diffused to the insulating layer or the insulating-layer interface.

[0007]

[Problem(s) to be Solved by the Invention] By JP,2-46770,A which is the aforementioned open official report, or JP,8-78646,A, in order to improve the defect resulting from the oxygen contained in the silicon layer which forms a semiconductor device, and the fault of electrical characteristics, the oxygen density of a silicon layer is specified as mentioned above. Moreover, in order to raise the mechanical strength of the SOI substrate which comes to join a silicon substrate and a silicon layer together through an insulating layer, the oxygen density of a silicon substrate is specified as mentioned above.

[0008] Furthermore, in JP,8-78646,A, in order to reduce the oxygen density of a silicon layer, after combining a silicon substrate and a silicon layer through an insulator layer, 400 degrees C - 900 degrees C heat treatment has been performed. Although this heat treatment is equivalent to heat treatment of the deposit nucleation of the aforementioned in thorin chic gettering technique, when the heat treatment concerned is performed after combining a silicon substrate and a silicon layer through an insulator layer, the deposit nucleus of an oxygen atom is formed also into a silicon layer, and an improvement of the electrical characteristics of the formed semiconductor device cannot fully be performed.

[0009] Moreover, since a defect deposits so much in a joint interface with an insulating layer, a silicon substrate, or a silicon layer, in order for the mechanical strength near the joint interface to fall, exfoliation takes place near the interface with a semiconductor device formation process. The purpose of this invention solves the aforementioned technical problem, and in formation of a semiconductor device, its gettering capacity is strong and is for a mechanical strength to offer a powerful SOI substrate and its manufacture approach.

[0010]

[Means for Solving the Problem] In order to attain the aforementioned purpose, the oxygen density of a silicon substrate is made or more [$1.5 \times 10^{18} \text{cm}^{-3}$] into three in the SOI (Silicon On Insulator) substrate which formed the silicon layer through the insulating layer on the silicon substrate. It considers as a process including the process to which predetermined carries out time amount heat treatment of said silicon substrate in 600 degrees C thru/or 800 degrees C, the process which forms said insulating layer on said silicon substrate after said process, and the process which forms said silicon layer on said insulating layer.

[0011] It is good in said predetermined time amount being 10 minutes or more. Thus, the mechanical strength of the interface of the gettering of a heavy-metal impurity and an insulating layer is strengthened by optimizing the oxygen density contained in the silicon substrate which is a base material.

[0012]

[Embodiment of the Invention] Drawing 1 is the important section sectional view of the SOI substrate of the 1st example of this invention. The insulating layer 2 with a thickness of 1 micrometer - 2 micrometers is formed on a silicon substrate 1, the about 10-micrometer silicon layer 3 is formed on this insulating layer 2, and it becomes a SOI substrate. The

oxygen density in a silicon substrate 1 is made or more [$1.5 \times 10^{18} \text{cm}^{-3}$] into three. The defective layer 4 which it is 10 micrometers - 20 micrometers Fukashi, and the defect-free layers 5 and 6 spread in a front-face [which combines a silicon substrate 1 with an insulating layer 2], and rear-face side, and originates in oxygen in a center section exists. [0013] Drawing 2 is the production process of the SOI substrate of the 2nd example of this invention, and this drawing (a) to this drawing (c) is an important section process sectional view shown in order of the process. In this drawing (a), the 3 more than [$1.5 \times 10^{18} \text{cm}^{-3}$ of oxygen densities formed by the CZ process to] silicon substrate 1 and the 2nd silicon substrate 8 used as the silicon layer 3 which forms a semiconductor device are prepared. The upper limit of this oxygen density is specified by whenever [dissolution / of the oxygen to silicon]. A silicon substrate 1 carries out 600 degrees C - 900 degrees C and heat treatment for 10 minutes or more (about 1 hour is desirable) beforehand, and forms the deposit nucleus 11 of a defect. On the other hand, the 1 micrometer - 2 micrometers insulating layers 2 and 7 are formed in the surface layer of the 2nd silicon substrate 8. In this drawing (b), a silicon substrate 1 and the 2nd silicon substrate 8 are contacted through an insulating layer 2, and *****, a silicon substrate 1, and the 2nd silicon substrate 8 are combined for heat treatment through an insulating layer 2 for about 2 hours at an elevated temperature 1000 degrees C or more. An oxygen atom forms an assembly and a crystal defect 12 in the deposit nucleus 11 of a silicon substrate 1 by this heat treatment. It sets to this drawing (c), and the polish section 13 is ground and removed in thickness of 5 micrometers - about 10 micrometers, and let the 2nd silicon substrate 8 be the silicon layer 3. The SOI substrate 100 which consists of a silicon substrate 1, an insulating layer 2, and a silicon layer 3 is done. When it has a lot of crystal defects 12 in the silicon substrate 1 and forms a semiconductor device in the silicon layer 3, this SOI substrate 100 carries out the operation which carries out gettering of the heavy-metal impurity contained in the silicon layer 3, and prevents degradation of junction leak or gate pressure-proofing.

[0014] Table 1 shows the relation between the oxygen density in a silicon substrate, defect density, an B mode percent defective, and a C mode (rate of an excellent article).

[0015]

[Table 1]

酸素濃度(cm^{-3})	欠陥密度(cm^{-3})	Bモード (%)	Cモード (%)
1.4×10^{18}	5.0×10^5	94.4	5.6
1.5×10^{18}	1.0×10^6	0.0	100.0

Usually, the dielectric-breakdown reinforcement of gate oxide is expressed with the field strength which broke breakdown voltage by thickness, and a poor B mode and what is higher than 8 MV/cm are defined [thing / lower than 2 MV/cm] as the C mode (excellent article) in the thing of the range of poor A mode and 2 - 8 MV/cm. Poor A mode is initial failure and it is a defect who can detect by the rated characteristic test of a semiconductor device. A poor B mode is the defect who the defect of a heavy-metal impurity etc. is introduced into gate oxide, and cannot detect by the rated characteristic test like poor A mode, but is detected by the long-term reliability trial.

[0016] The B mode percent defective shown in Table 1 measures gate pressure-proofing about 500 components, and shows the rate of the component which has field strength in

the range of 2 - 8 MV/cm. Moreover, as a measuring method, it is 2 0.5x0.5mm. The MOS device in which the gate oxide of 25nm thickness was formed on the silicon layer 3 is produced, an electrical potential difference is impressed to the gate oxide of this MOS device, and the leakage current is measured. The electrical potential difference from which this leakage current is set to 250nA(s) is considered as destructive pressure-proofing.

[0017] When the oxygen density of a silicon substrate was $1.4 \times 10^{18} \text{cm}^{-3}$, the B mode percent defective of the defect density in the silicon layer after semiconductor device formation was 90% or more in $5.0 \times 10^5 \text{cm}^{-3}$. Moreover, when an oxygen density was $1.5 \times 10^{18} \text{cm}^{-3}$, defect density became twice, the B mode percent defective became 0%, and the C mode (rate of an excellent article) became 100%. Therefore, as for the oxygen density in a silicon substrate, three or more [$1.5 \times 10^{18} \text{cm}^{-3}$] are desirable. In this way, if the SOI substrate of this invention is used, the dependability of a semiconductor device will improve, and the rate of an excellent article will become high, and mass-production nature will also improve.

[0018] Drawing 3 is the important section sectional view of the semiconductor device which used the SOI substrate of this invention, this drawing (a) is the semiconductor device of a self-discrete type, and this drawing (b) is the semiconductor device of a dielectric discrete type. In this drawing (a), p channel MOS FET21 and n channel MOS FET22 are formed in the silicon layer 3 of the SOI substrate 100. The method of separating these p channel MOS FET21 and n channel MOS FET22 from other components is a self-discrete type with which each other is separated by detaching a predetermined distance. In this drawing (b), by the dielectric isolation construction in which the isolation region 26 which divides between components into the silicon layer 3 of the SOI substrate 100 is formed with a dielectric, p channel MOS FET21 and n channel MOS FET22 are formed in this separated silicon layer 3a, and it dissociates from other components. In addition, the packed bed with which 23 separates between components, as for the field oxide which secures pressure-proofing, and 24, the isolation region for isolation is filled up with an interlayer insulation film, and, as for 25, polish recon etc. is filled up, and 26 are isolation regions which separate between components.

[0019] Although p channel MOS FET21 and n channel MOS FET22 were made into the example, elsewhere, a bipolar transistor, high proof-pressure components, and these components may combine the component formed in this example, and it may be formed in this SOI substrate 100.

[0020]

[Effect of the Invention] According to this invention, before making the oxygen density of a silicon substrate or more [$1.5 \times 10^{18} \text{cm}^{-3}$] into three and combining a silicon layer through an insulating layer in the process which manufactures a SOI substrate, by performing 600 degrees C to 900 degrees C, and heat treatment for 10 minutes or more, junction leak of the semiconductor device formed in a silicon layer is decreased, and degradation of gate pressure-proofing can be prevented. By that, the dependability of a semiconductor device improves and mass-production nature's can improve.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] The important section sectional view of the SOI substrate of the 1st example of this invention
- [Drawing 2] At the production process of the SOI substrate of the 2nd example of this invention, this drawing (a) to this drawing (c) is an important section process sectional view shown in order of the process.

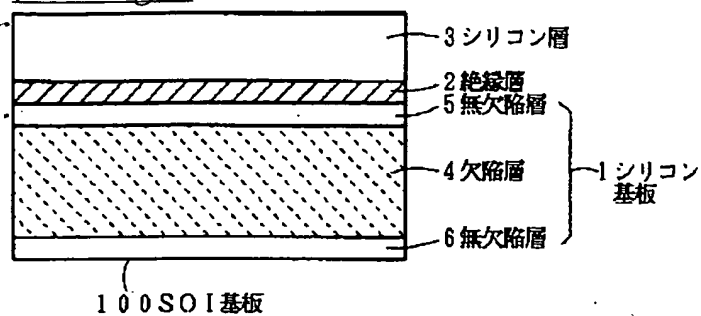
[Drawing 3] For the semiconductor device of a self-discrete type, and this drawing (b), in the important section sectional view of the semiconductor device using the SOI substrate of this invention, this drawing (a) is drawing having shown the semiconductor device of a dielectric discrete type.

[Description of Notations]

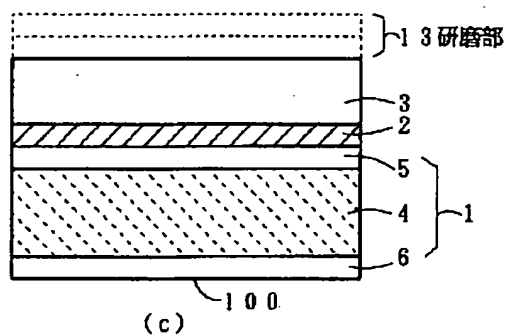
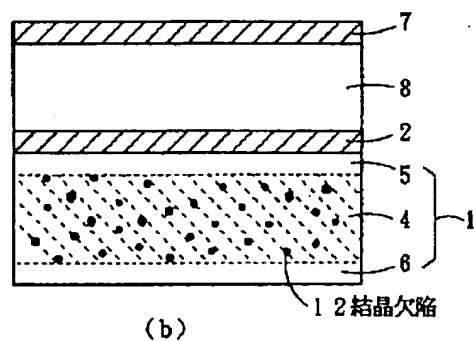
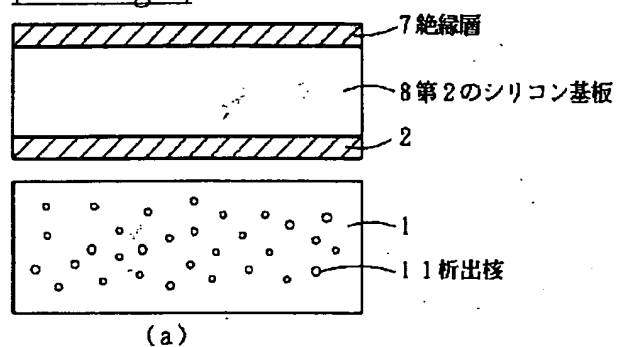
- 1 Silicon Substrate
- 2 Seven Insulating layer
- 3 3a Silicon layer
- 4 Defective Layer
- 5 Six Defect-free layer
- 8 2nd Silicon Substrate
- 11 Deposit Nucleus
- 12 Crystal Defect
- 13 Polish Section
- 21 P Channel MOS FET
- 22 N Channel MOS FET
- 23 Field Oxide
- 24 Interlayer Insulation Film

DRAWINGS

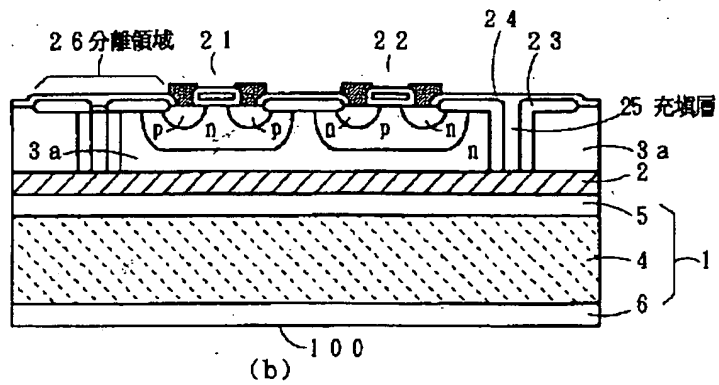
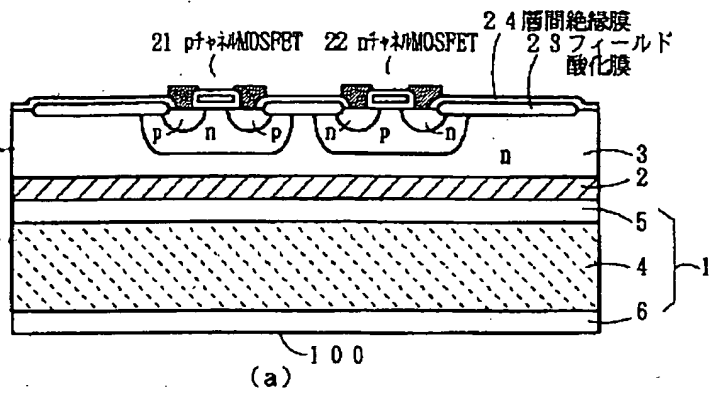
[Drawing 1]



[Drawing 2]



[Drawing 3]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31439
(P2000-31439A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷

H 0 1 L 27/12

21/322

識別記号

F I

H 0 1 L 27/12

21/322

ターマコード* (参考)

B

Y

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平10-196875

(22) 出願日

平成10年7月13日 (1998.7.13)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 平林 温夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100088339

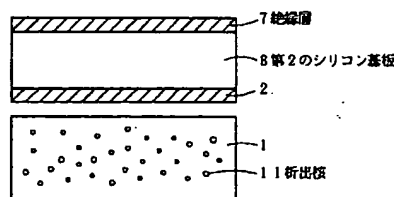
弁理士 篠部 正治

(54) 【発明の名称】 SOI 基板およびその製造方法

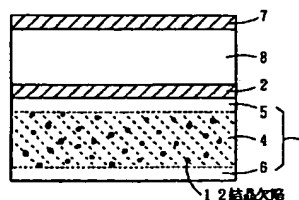
(57) 【要約】

【課題】 半導体素子の形成において、ゲッタリング能力が強く、機械的強度が強い SOI 基板とその製造方法を提供すること。

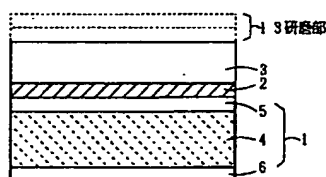
【解決手段】 酸素濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上のシリコン基板 1 を予め $600^\circ\text{C} \sim 900^\circ\text{C}$ 、10 分以上の熱処理をして、欠陥の析出核 11 を形成しておく (同図 (a))。シリコン基板 1 と第 2 のシリコン基板 8 を絶縁層 2 を介して接触させ、 1000°C 以上の高温で 2 時間程度、熱処理を施し、シリコン基板 1 と第 2 のシリコン基板 8 を絶縁層 2 を介して結合し、且つ、熱処理で析出核 11 に酸素原子が集まり、結晶欠陥 12 を形成する (同図 (b))。第 2 のシリコン基板 8 を研磨し、シリコン基板 1 と絶縁層 2 およびシリコン層 3 で構成される SOI 基板 100 を製作する (同図 (c))。この SOI 基板 100 はシリコン層 3 に含まれる重金属不純物をゲッタリングする作用があり、接合リークやゲート耐圧の劣化を防止する。



(a)



(b)



(c)

100

【特許請求の範囲】

【請求項1】シリコン基板上に絶縁層を介してシリコン層を形成したSOI (Silicon On Insulator) 基板において、シリコン基板の酸素濃度が $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とするSOI基板。

【請求項2】前記シリコン基板を600℃ないし800℃の範囲で、所定の時間熱処理する工程と、前記工程の後で、前記シリコン基板上に前記絶縁層を形成する工程と、前記絶縁層上に前記シリコン層を形成する工程を含むことを特徴とするSOI基板の製造方法。

【請求項3】前記所定の時間が10分以上であることを特徴とする請求項2に記載のSOI基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコン基板上に絶縁層を介してシリコン層を形成したSOI基板とその製造方法に関する。

【0002】

【従来の技術】半導体装置の製造プロセスでは、製造工程中に起こる重金属汚染に起因したpn接合での漏れ電流の増大（接合リークと言われている）やゲート酸化膜の耐圧劣化などが発生する。重金属汚染による半導体装置の前記特性劣化の対策として、いくつかのゲッタリング技術が用いられている。通常、CZ引き揚げ法によって製造されたシリコンウエハでは、ウエハ内に含まれる酸素の析出を利用したイントリンシックゲッタリング技術が用いられる。シリコンウエハに1000℃～1200℃の熱処理を施しこのシリコンウエハの表面の酸素原子を外方拡散させて、表面濃度を低減し、その後で、600℃～900℃の熱処理により、シリコンウエハ中の酸素原子は析出核を形成する。さらに、900℃～1200℃の熱処理を施すことにより、表面から10μm～50μm内部に微小欠陥や積層欠陥を形成する。

【0003】これらの欠陥は歪み場を形成し、重金属不純物原子を固着しやすい特性を有している。素子を形成するウエハ表面の酸素濃度を外方拡散により低減し、且つ、ウエハ内部には酸素の析出を起こして重金属を固着させる手法が、前記のイントリンシックゲッタリングと呼ばれている。近年、低耐圧の制御回路と高耐圧の出力回路を1チップ内に形成するパワーICや高速動作LSIにおいて、分離面積や寄生効果の低減に効果があるSOI基板が利用されている。

【0004】SOI基板は、シリコン基板上に絶縁層を介してシリコン層を形成した構造となっている。素子を形成するシリコン層はSOI基板の製造工程の熱処理により、酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下に減少するために、このシリコン層中には酸素の析出は起こらない。従って、シリコン層内には重金属不純物は固着されない。

【0005】また、シリコン中に比べると、重金属不純

物は絶縁層中を拡散しにくい。シリコン層の重金属不純物が絶縁層を通過してシリコン基板に固着させるためには、シリコン基板のゲッタリング能力を大幅に高める必要がある。公開公報である特開平2-46770号や特開平8-78646号で、半導体素子を形成するシリコン層の酸素濃度を 10^{17} cm^{-3} 以下とし、酸素に起因する欠陥を低減し、接合リークやゲート酸化膜の耐圧劣化を改善する方法が開示されている。

【0006】また、シリコン基板の酸素濃度が低下すると、機械的強度が低下し、シリコン基板の反りが増大する。これを防止するために、シリコン層を支持するシリコン基板の酸素濃度は特開平2-46770号では $10^{17} \text{ cm}^{-3} \sim 10^{19} \text{ cm}^{-3}$ 、特開平8-78646号では $1.0 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ と規定されている。さらに、特開平2-46770号では、シリコン層の酸素濃度を低減するために、第1のシリコン基板と第2のシリコン基板を絶縁層を介して結合した後、第2のシリコン基板を研削研磨して、シリコン層とする研削研磨工程の前に、400℃～900℃の熱処理を施し、第2のシリコン基板内の酸素原子を絶縁層または絶縁層界面へ拡散させている。

【0007】

【発明が解決しようとする課題】前記の公開公報である特開平2-46770号や特開平8-78646号では、半導体素子を形成するシリコン層に含まれる酸素に起因する欠陥や電気的特性の不具合を改善するために、シリコン層の酸素濃度を前記のように規定している。また、シリコン基板とシリコン層を絶縁層を介して結合してなるSOI基板の機械的強度を向上させるためにシリコン基板の酸素濃度を前記のように規定している。

【0008】さらに、特開平8-78646号では、シリコン層の酸素濃度を低減するために、シリコン基板とシリコン層を絶縁膜を介して結合した後で、400℃～900℃の熱処理を施している。この熱処理は前記のイントリンシックゲッタリング技術の析出核形成の熱処理に相当するが、シリコン基板とシリコン層を絶縁膜を介して結合した後で当該熱処理を施した場合、シリコン層中にも酸素原子の析出核が形成され、形成された半導体素子の電気的特性の改善は十分にはできない。

【0009】また、絶縁層とシリコン基板またはシリコン層との結合界面に欠陥が多量に析出するため、結合界面近傍の機械的強度が低下するために、半導体素子形成工程で界面近傍から剥離が起こる。この発明の目的は、前記の課題を解決し、半導体素子の形成において、ゲッタリング能力が強く、機械的強度が強いSOI基板とその製造方法を提供することにある。

【0010】

【課題を解決するための手段】前記の目的を達成するために、シリコン基板上に絶縁層を介してシリコン層を形成したSOI (Silicon On Insulat

or) 基板において、シリコン基板の酸素濃度を $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上とする。前記シリコン基板を600℃ないし800℃の範囲で、所定の時間熱処理する工程と、前記工程の後で、前記シリコン基板上に前記絶縁層を形成する工程と、前記絶縁層上に前記シリコン層を形成する工程を含む工程とする。

【0011】前記所定の時間が10分以上であるとい。このように、支持体であるシリコン基板に含まれる酸素濃度を最適化することで、重金属不純物のゲッタリングと絶縁層との界面の機械的強度を強くする。

【0012】

【発明の実施の形態】図1はこの発明の第1実施例のSOI基板の要部断面図である。シリコン基板1上に厚さ $1 \mu\text{m} \sim 2 \mu\text{m}$ の絶縁層2を形成し、この絶縁層2上に $10 \mu\text{m}$ 程度のシリコン層3を形成し、SOI基板となる。シリコン基板1中の酸素濃度を $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上とする。シリコン基板1は、絶縁層2と結合する表面側と裏面側に $10 \mu\text{m} \sim 20 \mu\text{m}$ の深さまで、無欠陥層5、6が拡がり、また、中央部には酸素に起因する欠陥層4が存在する。

【0013】図2はこの発明の第2実施例のSOI基板の製造工程で、同図(a)から同図(c)は工程順に示した要部工程断面図である。同図(a)において、CZ法で形成された酸素濃度 $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上のシリコン基板1と、半導体素子を形成するシリコン層3となる第2のシリコン基板8を準備する。この酸素濃度の

酸素濃度(cm^{-3})	欠陥密度(cm^{-2})	Bt-f (%)	Ct-f (%)
1.4×10^{18}	5.0×10^5	94.4	5.6
1.5×10^{18}	1.0×10^6	0.0	100.0

通常、ゲート酸化膜の絶縁破壊強度は、破壊電圧を膜厚で割った電界強度で表され、 2 MV/cm より低いものをAモード不良、 $2 \sim 8 \text{ MV/cm}$ の範囲のものをBモード不良、 8 MV/cm より高いものをCモード(良品)と定義されている。Aモード不良は、初期不良で半導体素子の定格特性試験で、検知可能な不良である。Bモード不良は、ゲート酸化膜中に重金属不純物などの欠陥が導入され、Aモード不良のように定格特性試験では検知できず、長期信頼性試験で検知される不良である。

【0016】表1に示すBモード不良率は500個の素子についてゲート耐圧を測定し、電界強度が $2 \sim 8 \text{ MV/cm}$ の範囲にある素子の割合を示している。また測定方法としては、 $0.5 \times 0.5 \text{ mm}^2$ のシリコン層3上に25nm厚のゲート酸化膜を形成したMOSデバイスを作製し、このMOSデバイスのゲート酸化膜に電圧を印加して、漏れ電流を測定する。この漏れ電流が250nAになる電圧を破壊耐圧とする。

【0017】シリコン基板の酸素濃度が $1.4 \times 10^{18} \text{ cm}^{-3}$ の場合、半導体素子形成後のシリコン層中の欠陥

上限はシリコンに対する酸素の固溶度により規定される。シリコン基板1は予め600℃～900℃、10分以上(1時間程度が望ましい)の熱処理をして、欠陥の析出核11を形成しておく。一方第2のシリコン基板8の表面層に $1 \mu\text{m} \sim 2 \mu\text{m}$ の絶縁層2、7を形成する。同図(b)において、シリコン基板1と第2のシリコン基板8を絶縁層2を介して接触させ、1000℃以上の高温で2時間程度、熱処理を施し、シリコン基板1と第2のシリコン基板8を絶縁層2を介して結合する。この熱処理でシリコン基板1の析出核11に酸素原子が集まり、結晶欠陥12を形成する。同図(c)において、第2のシリコン基板8を、例えば $5 \mu\text{m} \sim 10 \mu\text{m}$ 程度の厚さに研磨部13を研磨、除去し、シリコン層3とする。シリコン基板1と絶縁層2およびシリコン層3で構成されるSOI基板100が出来上がる。このSOI基板100は、シリコン基板1に多量の結晶欠陥12を有しており、シリコン層3に半導体素子を形成する場合、シリコン層3に含まれる重金属不純物をゲッタリングする作用をして、接合リークやゲート耐圧の劣化を防止する。

【0014】表1はシリコン基板内の酸素濃度と欠陥密度およびBモード不良率およびCモード(良品率)の関係を示したものである。

【0015】

【表1】

密度は $5.0 \times 10^5 \text{ cm}^{-3}$ でBモード不良率は90%以上であった。また、酸素濃度が $1.5 \times 10^{18} \text{ cm}^{-3}$ の場合、欠陥密度は2倍となり、Bモード不良率は0%となり、Cモード(良品率)は100%となった。そのため、シリコン基板中の酸素濃度は $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上が望ましい。このように、この発明のSOI基板を用いると、半導体素子の信頼性が向上し、また良品率が高くなり、量産性も向上する。

【0018】図3はこの発明のSOI基板を用いた半導体装置の要部断面図で、同図(a)は自己分離型の半導体装置、同図(b)は誘電体分離型の半導体装置である。同図(a)において、SOI基板100のシリコン層3にpチャネルMOSFET21とnチャネルMOSFET22が形成されている。これらのpチャネルMOSFET21およびnチャネルMOSFET22を他の素子から分離する方法は、所定の距離を離すことで互いが分離される自己分離型である。同図(b)において、SOI基板100のシリコン層3に、素子間を分離する分離領域26が誘電体で形成される誘電体分離構造で、

この分離されたシリコン層3aにpチャネルMOSFET 21およびnチャネルMOSFET 22が形成され、他の素子から分離される。尚、23は素子間を分離し、耐圧を確保するフィールド酸化膜、24は層間絶縁膜、25は素子分離のための分離領域にポリシリコンなどが充填される充填層、26は素子間を分離する分離領域である。

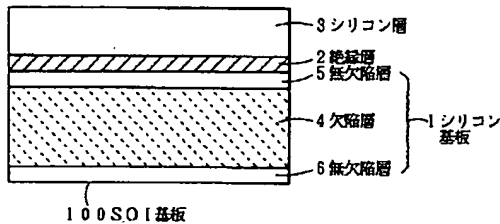
【0019】この例では形成される素子をpチャネルMOSFET 21およびnチャネルMOSFET 22を例としたが、他に、バイポーラトランジスタや高耐圧素子、およびこれらの素子の組合せて、このSOI基板100に形成してもよい。

【0020】

【発明の効果】この発明によれば、SOI基板を製作する過程で、シリコン基板の酸素濃度を $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上とし、シリコン層を絶縁層を介して結合する前に、600℃から900℃、10分以上の熱処理を施すことで、シリコン層に形成される半導体素子の接合リークを減少させ、ゲート耐圧の劣化を防止できる。そのことによって、半導体素子の信頼性は向上し、また、量産性も向上できる。

【図面の簡単な説明】

【図1】



【図1】この発明の第1実施例のSOI基板の要部断面図

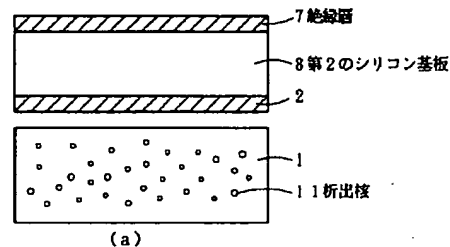
【図2】この発明の第2実施例のSOI基板の製造工程で、同図(a)から同図(c)は工程順に示した要部工程断面図

【図3】この発明のSOI基板を用いた半導体装置の要部断面図で、同図(a)は自己分離型の半導体装置、同図(b)は誘電体分離型の半導体装置を示した図

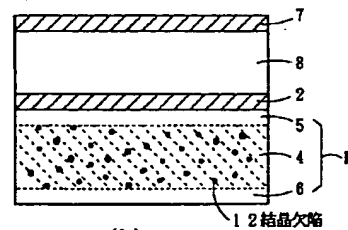
【符号の説明】

- 1 シリコン基板
- 2、7 絶縁層
- 3、3a シリコン層
- 4 欠陥層
- 5、6 無欠陥層
- 8 第2のシリコン基板
- 11 析出核
- 12 結晶欠陥
- 13 研磨部
- 21 pチャネルMOSFET
- 22 nチャネルMOSFET
- 23 フィールド酸化膜
- 24 層間絶縁膜

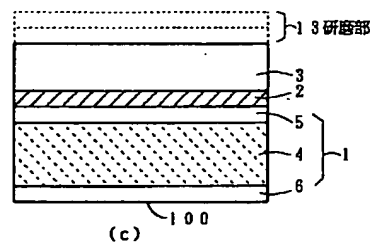
【図2】



(a)



(b)



(c)

【図3】

